

ELECTRONIC CONTROLLER

Publication number: JP7293320 (A)

Publication date: 1995-11-07

Inventor(s): NAKAGAWA HIRONARI; YASUURA NOBUSHI; YANO KENZO +

Applicant(s): NIPPON DENSO CO +

Classification:

- international: F02D41/22; F02D45/00; F02P5/15; G05B9/02; F02D41/22; F02D45/00; F02P5/15; G05B9/02; (IPC1-7): F02D41/22; F02D45/00; F02P5/15; G05B9/02

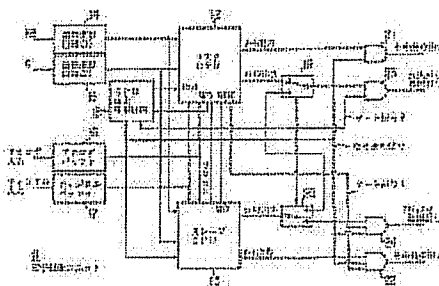
- European:

Application number: JP19940082885 1994042 1

Priority number(s): JP19940082885 1994042 1

Abstract of JP 7293320 (A)

PURPOSE:To improve a control means when one of CPUs comes in abnormal condition when an electronic controller is composed of two CPUs, for example, to be able to make limp home engine control. **CONSTITUTION:**An electronic controller is provided with a master CPU 12 and a slave CPU 13, and the slave CPU 13 is monitored by the master CPU 12, and the slave CPU 13 is reset by the master CPU 12 at the time of its abnormal state. The master CPU 12 is monitored by a CPU runaway monitoring circuit 18, a converting signal is outputted at the time of abnormal state, an abnormal state treatment command is applied to the slave CPU 13, and also respective gates of AND-gates 21, 22, 24 are closed, and first and second switches 19, 20 are switched to each other. Compare output from the master CPU 12 is outputted from the AND gate 23 through the switch 19 at the time of normal state, and at the time of abnormal state, the compare output of the slave CPU 13 subjected to abnormal state treatment is outputted as a signal for enabling limp home from the AND gate 23 through the switches 20, 19.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-293320

(43)公開日 平成7年(1995)11月7日

(51) Int.Cl.⁶
F 0 2 D 45/00

識別記号 374 C
A
片内整理番号

FI

技術表示箇所

41/22
F 0 2 P 5/15

3 2 5 H

F 0 2 P 5/ 15

L

審査請求 未請求 請求項の数5 OL (全 12 頁) 最終頁に続く

(21)出願番号 特願平6-82885

(22)出願日 平成6年(1994)4月21日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 中川 裕也

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 保浦 信史

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 矢野 健三

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

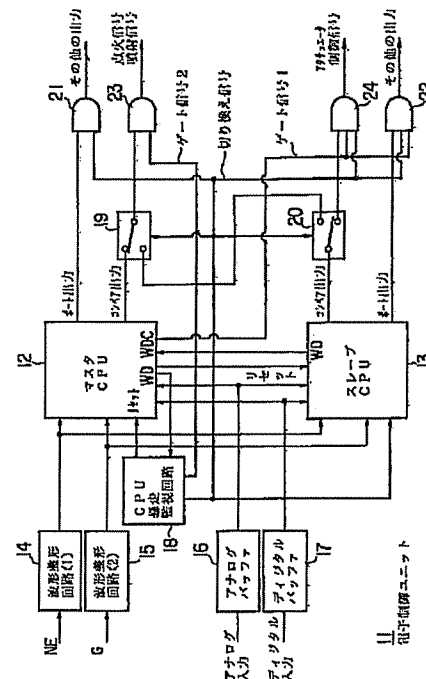
(74)代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 電子制御装置

(57) 【要約】

【目的】この発明は、２ＣＰＵで構成した場合に、そのＣＰＵの一方が異常となったときの制御手段を改良し、例えばエンジン制御においてリンパホーム可能な制御を可能とする電子制御装置を提供することを目的とする。

【構成】マスタCPU12とスレーブCPU13を備え、スレーブCPU13はマスタCPU12で監視してその異常時にマスタCPU12でリセットされる。CPU暴走監視回路18でマスタCPUを監視してその異常時に切り換え信号を出力し、スレーブCPU13に異常時処理指令を与えると共にアンドゲート21、22、24のゲートを閉じ、第1、第2のスイッチ19、20を切り換える。マスタCPU12からのコンペア出力は、正常時にスイッチ19を介してアンドゲート23から出力され、その異常時にはスレーブCPU13の異常時処理されたコンペア出力が、スイッチ20、19を介してアンドゲート23からリンパホーム可能にする信号として出力される。



【特許請求の範囲】

【請求項1】 第1の制御対象への制御信号を出力する第1のCPUと、第2の制御対象への制御信号を出力する第2のCPUとを備えた電子制御ユニットにおいて、前記第1のCPUに設定され、前記第2のCPUから出力される作動信号に基づいて前記第2のCPUの異常を監視し、その異常検出時に前記第2のCPUにリセット信号を出力する第1の異常監視手段と、前記第1のCPUから出力される作動信号に基づいて前記第1のCPUの異常を監視し、その異常検出時に前記第1のCPUにリセット信号を出力する第2の異常監視手段と、前記第1のCPUの異常検出に応じて、前記第1の制御対象への制御信号を前記第1のCPUからの制御信号出力から前記第2のCPUからの制御信号出力に切り換える切り換え手段と、前記第2のCPUに設定され、前記切り換え手段によって制御信号出力が切り換えられることに対応して前記第1の制御対象への制御信号を出力する異常時制御信号出力手段と、を具備したことを特徴とする電子制御装置。

【請求項2】 前記電子制御ユニットはエンジンの制御装置を構成するもので、前記第1のCPUではエンジンの点火信号および燃料噴射信号が制御信号として出力されるようにした請求項1記載の電子制御装置。

【請求項3】 第1の制御対象への制御信号を出力する第1のCPUと、第2の制御対象への制御信号を出力する第2のCPUとを備えた電子制御ユニットにおいて、前記第1のCPUに設定され、前記第2のCPUから出力される作動信号に基づいて前記第2のCPUの異常を監視してその異常検出時に前記第2のCPUにリセット信号を出力する第1の異常監視手段と、前記第1のCPUから出力される作動信号に基づいて前記第1のCPUの異常を監視してその異常検出時に前記第1のCPUにリセット信号を出力する第2の異常監視手段と、前記第1のCPUの異常検出に応じて前記第1の制御対象への制御信号を、前記第1のCPUからの制御信号出力から前記第2のCPUからの制御信号出力に切り換える切り換え手段と、この切り換え手段によって制御信号の出力が切り換えられた状態で、前記第2の異常監視手段に前記第1のCPUから出力される作動信号を前記第2のCPUから出力される作動信号に切り換えて前記第2の異常監視手段に供給し、前記第2のCPUの異常を監視させる作動信号切り換え手段と、前記第2のCPUに設定され、前記切り換え手段によって制御信号の出力が切り換えられたときには、前記第1の制御対象への制御信号を出力する異常時制御信号出力手段と、

を具備したことを特徴とする電子制御装置。

【請求項4】 前記第2の異常監視手段は、通常は前記第1のCPUからのウォッチドックパルスが作動信号として入力され、前記作動信号切り換え手段によって作動信号が切り換えられたときには、前記第2のCPUからのウォッチドックパルスが作動信号として入力されるウォッチドック監視回路と、このウォッチドック監視回路からの出力に基づき前記第1および第2のCPUそれぞれのフェイルを検出してそれぞれフェイル信号を出力する暴走検出回路と、この暴走検出回路からの検出信号に基づき前記第1のCPUのフェイルに対応する第1のフェイル信号、さらに前記第1および第2の両CPUのフェイルに対応する第2のフェイル信号を出力する第1および第2のフェイル検出手段とを含み構成され、前記第1のフェイル信号が前記作動信号切り換え手段の切り換え信号として用いられ、前記第2のフェイル信号に基づいて全ての制御出力が禁止されるようにした請求項3記載の電子制御装置。

【請求項5】 第1の制御対象への制御信号を出力する第1のCPUと、第2の制御対象への制御信号を出力する第2のCPUとを備えた電子制御ユニットにおいて、前記第1のCPUに設定され、前記第2のCPUから出力される作動信号に基づいて前記第2のCPUの異常を監視してその異常検出時に前記第2のCPUにリセット信号を出力する異常監視手段と、この異常監視手段での前記第2のCPUの異常の非検出状態で、前記第1の制御対象に対する制御信号を演算する第1の制御信号演算手段と、前記異常監視手段での前記第2のCPUの異常の検出状態で、前記第1の制御対象に対する制御信号を演算する第2の制御信号演算手段と、前記第1および第2の制御信号演算手段によって演算される演算信号の出力を切り換える切り換え手段と、を具備したことを特徴とする電子制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば車両に搭載されてエンジンの電子制御装置をCPUによって構成するに際して、特にCPUフェイル時におけるフォールトトレラントシステムを備え電子制御装置に関する。

【0002】

【従来の技術】 車両用エンジンの電子制御装置においては、エンジンの運転状態を検出する各種検出信号に基づいて、燃料噴射制御や点火制御等と共にノックコントロール、スロットルコントロール、燃料ポンプ制御、EGR制御、燃料噴射制御等の各種制御が行われており、その制御対象が大幅に拡大される傾向にある。このため、このような電子制御装置にあっては、従来は1個のCPUによって構成されていたものが、複数のCPUによって構成されたマルチCPU構成の電子制御装置に移行して

いる。特に、2個のCPUを用いる2CPU構成の電子制御装置が広く使用されるようになっている。

【0003】この様なマルチCPU構成の電子制御装置では、それぞれのCPUにおいて別個の制御を行うようにしている。したがって、この複数のCPUの中で1つでもCPUがフェイルしたときには、そのCPUが行っている制御が実行できなくなり、このため重大な障害の発生となる。

【0004】この様な問題点に対処するため、特公表63-501303号公報には、2CPU構成の電子制御装置において、その一方のCPUがフェイルした場合の対策が開示されている。この例では、一方のCPUがフェイルしたときに、他方のCPUによりバックアップするようにしている。ここで使用されている2個のCPUにおいては、演算負荷を両CPUに対して均一に分配し、特に重要な信号はプログラムとして両CPUにそれぞれ用意されている。すなわち、全ての処理を一方のCPUにおいて行わせるようにすると処理負荷が大きくなるので、この処理を両CPUに分配することで処理能力の向上を図っている。

【0005】具体的には、エンジン制御に必要なアクチュエータを制御するために、その指令位置を演算する処理と、その目標指令位置にアクチュエータを駆動する処理とに分け、一方のCPUで目標位置を演算し、他方のCPUでサーボ処理を行わせる。この2つのCPUにおいてはそれぞれ異常監視回路を備えており、各CPUに設けた異常監視回路において検出された異常状態に応じて各CPUのフェイルを検出し、そのCPUのフェイル時には他方のCPUにおいて一方のCPUの処理も併せて実行されるようにしている。

【0006】したがって、この様に構成される電子制御装置にあっては、この電子制御装置を構成する複数のCPUそれぞれに対して異常検出回路を設けるようにしているものであるため、必然的に部品点数の増加を招き、この電子制御装置の部品実装密度の上昇と共に、コストアップの問題を有する。

【0007】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、複数のCPUを含むマルチCPU構成とした場合において、各CPUの異常の監視が1つの異常監視回路および1つのCPUによって行われるようにして、充分簡易化した部品構成が実現できて信頼性の確保も容易とされるようにした電子制御装置を提供しようとするものである。

【0008】

【課題を解決するための手段】この発明に係る電子制御装置に関する第1の発明は、図6で示すように第1の制御対象51への制御信号を出力する第1のCPU52と、第2の制御対象53への制御信号を出力する第2のCPU54とを備えた電子制御ユニットにおいて、前記第1のCPU

U52に設定された第1の異常監視手段521で第2のCPU54の異常を監視してその異常時に第2のCPU54をリセットし、第2の異常監視手段55で第1のCPU52の異常を監視してその異常時に第1のCPU52をリセットする。また第1のCPUの異常検出に応じて切り換え手段56を制御し、第1の制御対象51への制御信号を前記第1のCPU52から第2のCPU54に切り換えるもので、第2のCPU54には異常時制御信号出力手段541を設定し、切り換え手段56の切り換えに対応して前記第1の制御対象51へ制御信号を出力する。

【0009】また第2の発明は、図7で示すように図6と同様に第1および第2のCPU52および54、さらに第1および第2の異常監視手段521、55、切り換え手段56を備え、この切り換え手段56による制御信号の切り換えに対応して、前記第2の異常監視手段55に第2のCPU54から出力される作動信号に切り換えて供給する作動信号切り換え手段60を備えるもので、第2のCPUには切り換え手段60で制御信号が切り換えられたときに第1の制御対象51への制御信号を異常時制御信号出力手段542で出力させる。

【0010】さらに第3の発明は、図8で示すようにこれまでと同様の電子制御ユニットにおいて、第1のCPU52に設定される異常監視手段521で第2のCPU54を監視し、第2のCPUの異常の非検出状態で、第1の制御信号演算手段523で前記第1の制御対象51に対する制御信号を演算し、異常監視手段521での第2のCPU54の異常の検出状態で、第2の制御信号演算手段524で第1の制御対象51に対する制御信号を演算させると共に、前記第1および第2の制御信号演算手段543、544によって演算される演算信号の出力が切り換え手段525によって切り換えられる。

【0011】

【作用】この様に構成される電子制御装置によれば、電子制御ユニットを構成する2個のCPU52および54の中で、第2のCPU54が異常となったときには第1のCPU52においてこれを検出し、第2のCPU54がリセットされる。そして、第1のCPU52から出力される信号によって、リンプホーム可能な制御が実行される。また、第1のCPU52に異常が生じたような場合には、これが監視回路において検出されると共に、この第1のCPU52にリセットが掛けられ、第2のCPU54において異常時の処理が行われて、これまで第1のCPU52から出力されていた噴射制御や点火制御の、リンプホームを可能にする異常時処理が第2のCPU54において代行されるようになって、第1のCPU52からの出力に代わって第2のCPU54からの出力による制御が実行される。したがって、例えばエンジンの制御装置において、このエンジン制御で最低限必要な点火制御と共に燃料噴射制御が継続して行われ、電子制御装置のフェイルが避けられて、例えば修理工場までの運転が可能とされるようにな

る。

【0012】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1は例えばガソリン筒内直噴エンジンの電子制御ユニット11を構成した場合を示す。この電子制御ユニット11は、点火時期や燃料噴射等を制御するマスタCPU12と、その他のアクチュエータを制御するスレーブCPU13とを備えた2CPUで構成される。この電子制御ユニット11に対する入力としては、エンジンの回転に伴い発生される回転パルスNE、このエンジンの特定される基準回転角位置で発生される基準Gパルス、その他エンジンの運転状態を検出したアナログ検出信号およびデジタル検出信号が存在する。そして、エンジンに対する点火信号および噴射信号と共に、その他のアクチュエータ制御信号が出力され、図では示されないエンジンが回転速度や負荷状態等の運転状況に対応して運転制御される。

【0013】すなわち、NEパルスやGパルスはそれぞれ波形整形回路14および15に入力されて波形整形され、CPU12および13に入力信号として供給される。また、アナログ検出信号およびデジタル検出信号は、それぞれアナログバッファ16およびデジタルバッファ17を介して、CPU12および13に必要な信号が入力されるもので、CPU12および13においては、これらの入力信号に基づいて演算処理が行われる。

【0014】そして、マスタCPU12においては点火信号および燃料噴射信号をコンペア出力端子より出力し、この信号に基づいて点火プラグおよびインジェクタが制御される。さらにスレーブCPU13においてはその他のエンジン制御に必要なアクチュエータ駆動信号等がコンペア出力端子から出力され、アクチュエータが制御される。なお、これらのCPU12および13においては、他の制御信号がコンペア出力端子の他にポート出力端子からも出力されている。

【0015】この様な電子制御ユニット11を構成するマスタCPU12およびスレーブCPU13は、それぞれ正常に動作しているか否かが監視されている。すなわち、マスタCPU12およびスレーブCPU13は、それぞれ正常動作時に所定周期で連続して発生されるウォッチドックパルス(WD)を出力する。マスタCPU12からのウォッチドックパルスはCPU暴走監視回路18に入力される。マスタCPU12が正常に動作しているか否かは、CPU暴走検出回路18で監視されている。スレーブCPU13からのウォッチドックパルスはマスタCPU12に入力される。そして、このスレーブCPU13が正常に動作しているか否かは、マスタCPU12において監視される。また、マスタCPU12の異常時には、スレーブCPU13から出力されるウォッチドックパルスを、マスタCPU12からCPU暴走監視回路18に切り換え、スレーブCPU13の異常が検出されるようにする。

【0016】マスタCPU12はスレーブCPU13から出力されるウォッチドックパルスを監視して、このパルスが所定時間以上反転しなくなったとき、スレーブCPU13の異常と判断する。この異常判断に伴って第1のゲート信号が出力されて、スレーブCPU13からのコンペア出力とポート出力とを無効にする。さらに、スレーブCPU13をリセットしてその動作を停止する。

【0017】ここで、マスタCPU12は通常では正常プログラムが稼働していて、スレーブCPU13の異常時においても、マスタCPU12としては正常プログラムを稼働できて正常パルスを出力する。しかし、この状況では電子制御ユニット11としては正常ではないので、このマスタCPU12から出力される点火信号および噴射信号も、異常時用の異常制御用出力とされる。すなわち、スレーブCPU13が異常と判定されたときには、マスタCPU12においても異常時用の別プログラムが起動される。

【0018】CPU暴走監視回路18においてマスタCPU12の異常が検出されたときには、切り換え信号が出力される。具体的には、切り換え信号はCPU12および13の正常時にはハイ(H)レベルであり、マスタCPU12の異常が検出されたときにロー(L)レベルとされる。この切り換え信号は第1および第2の切り換えスイッチ19および20に切り換え指令として供給されると共に、アンドゲート21、22および24それぞれにゲート信号として供給される。また、マスタCPU12およびスレーブCPU13が共に異常となったときには、切り換え信号と共に第2のゲート信号が出力される。すなわち、正常時にはHレベルである第2のゲート信号がLレベルとされるもので、この第2のゲート信号はアンドゲート23にゲート信号として供給される。

【0019】マスタCPU12から出力された第1のゲート信号は、アンドゲート22および24にゲート信号として供給されるもので、このゲート信号は正常時にはHレベルであり異常検出時にLレベルとされる。アンドゲート24には、さらにCPU暴走監視回路18からの切り換え信号がゲート信号として供給されている。

【0020】マスタCPU12からのコンペア出力は、第1の切り換えスイッチ19の常閉の接点に入力され、スレーブCPU13のコンペア出力が第2の切り換えスイッチ20の可動接点に供給されて、この切り換えスイッチ20の常開側接点からの出力が第1の切り換えスイッチ19の常開側接点に入力される。そして、第1の切り換えスイッチ19の可動接点からの出力がアンドゲート23に入力され、第2の切り換えスイッチ20の常閉側接点からの出力がアンドゲート24に入力される。そして、これらの第1および第2の切り換えスイッチ19および20は、切り換え信号のHレベルの状態を図の状態に設定される。

【0021】すなわち、マスタCPU12およびスレーブCPU13が共に正常動作している状態では、第1および

第2のゲート信号、さらに切り換え信号が全てHレベルであり、したがって第1および第2の切り換えスイッチ19および20が図の状態に設定されると共に、アンドゲート21~24には全てHレベルのゲート信号が供給されている。

【0022】したがって、マスタCPU12のコンペア出力は、第1の切り換えスイッチ19およびアンドゲート23を介して点火信号および噴射信号として出力されると共に、このマスタCPU12のポート出力はアンドゲート21を介してその他の出力として取り出される。また、スレーブCPU13のコンペア出力は、第2の切り換えスイッチ20およびアンドゲート24を介してアクチュエータ制御信号として出力され、さらにポート出力はアンドゲート22を介してその他の出力として取り出される。そして、これらアンドゲート21~24それぞれからの出力信号に基づいて、エンジンが正常に電子制御されるようになる。

【0023】スレーブCPU13に異常が発生したときには、マスタCPU12から出力される第1のゲート信号がLレベルとなって、アンドゲート22および24からの出力が禁止される安全側に落とされる制御が実行される。そして、異常が発生したスレーブCPU13からのコンペア出力およびポート出力が禁止される。

【0024】また、マスタCPU12に異常が発生した場合には、CPU暴走監視回路18からの切り換え信号がLレベルとなってアンドゲート21、22、および24のゲートが閉じられると共に、このCPU監視回路18からの指令でマスタCPU12がリセットされる。そして、切り換え信号によって第1および第2の切り換えスイッチ19および20が図の状態から切り換えられて、スレーブCPU13のコンペア出力が切り換えスイッチ20および19、さらにアンドゲート23を介して出力される。

【0025】すなわち、マスタCPU12が異常となった場合には、このCPU12のコンペア出力である点火信号および噴射信号が出力されなくなるものであるが、第1および第2の切り換えスイッチ19および20の切り換えて、正常であるスレーブCPU13のコンペア出力を用いて、リンパホームに必要な点火信号および噴射信号が、アンドゲート23を介して出力されるようにする。ここで、スレーブCPU13においては、切り換え信号を監視していて、切り換え信号がLレベルとされたときには異常時プログラム（スレーブCPU13のアクチュエータ制御用の信号コンペア出力を、リンパホーム可能な点火信号および噴射信号とするプログラム）を起動する。

【0026】マスタCPU12およびスレーブCPU13の両方が異常となった場合には、CPU暴走監視回路18からの切り換え信号と共に、第2のゲート信号がLレベルとされる。したがって、アンドゲート21~24の全てのゲートが閉じられて、この電子制御ユニット11の全ての出力が安全側に落とされる。

【0027】図2の(A)はマスタCPU12における処

理の流れを示しているもので、まずステップ201においてスレーブCPU13を、このCPU13からのウォッチドックパルスによって異常であるか否かを判定する。スレーブCPU13が異常でなく正常であると判定されたならば、ステップ202に進んでマスタCPU12において正常時の点火信号処理を行う。そして、その後ステップ203に進んで正常時の噴射信号処理を行う。さらにステップ204に進んで正常時のその他の処理を行う。このような正常時の処理を行いながら、常にスレーブCPU13のチェックが行われている。

【0028】ステップ201においてスレーブCPU13の異常が判定されたならば、ステップ205に進む。このステップ205では第1のゲート信号の出力処理を行うもので、この第1のゲート信号がアンドゲート22および24を安全側に落とす。この様にして出力のゲート処理が終了されたならば、スレーブCPU13の異常に伴う異常時処理が実行される。ステップ206で異常時の点火信号処理を行うと共に、ステップ207で異常時の噴射信号処理を行う。さらにステップ208で異常時のその他の処理が行われるようにする。すなわち、リンパホーム可能な信号処理が行われ、この異常時処理に伴うマスタCPU12からのコンペア出力が、アンドゲート23を介して点火信号および噴射信号として取り出される。

【0029】この図2の(A)で示して処理にあつては、ステップ208における異常時の処理が終了された後はステップ206に戻り、異常時の処理が繰り返して実行されて、一旦異常と判定された後は正常時に戻ることのない不可逆性の判定処理を行っている。しかし、システムによっては正常に戻った場合に正常時に対応した処理を行わせる可逆性のある処理を実行させるようにしてもよい。

【0030】マスタCPU12の監視はCPU暴走監視回路18において行われる。このマスタCPU12が異常となったときのスレーブCPU13における処理の流れを、図2の(B)によって説明する。まずステップ211においてCPU暴走監視回路18から切り換え信号がHレベル（正常）もしくはLレベル（異常）であるか否かを判定する。切り換え信号がOFFの状態、すなわちHレベルでマスタCPU12が正常と判定されたときは、ステップ212に進んで点火系および噴射系以外のこのスレーブCPU13で受け持たされた正常時における処理、すなわち正常時のアクチュエータ処理が行われる。その後、ステップ213に進んでその他の処理を行った後ステップ211に戻る。

【0031】ステップ211においてマスタCPU12が異常であると判定されたならば、ステップ214に進む。このステップ214においては、それまでこのスレーブCPU13において行われていたアクチュエータ処理等を行わずに、異常時の点火信号処理を行い、さらにステップ215において異常時の噴射信号処理を実行する。すなわ

ち、このステップ214 および215 における処理によって、スレーブCPU13のコンペア出力から、リンプホームを可能にする点火信号および噴射信号が出力されるようになり、切り換え信号によって切り換えられた切り換えスイッチ20および19を介して、このスレーブCPU13のコンペア出力である点火信号および噴射信号が、アンドゲート23から出力されるようになる。

【0032】そして、この電子制御ユニット11を構成する2つのCPU12および13が、共に異常となった場合には、これがCPU暴走監視回路18において検出され、この監視回路18から切り換え信号と共に第2のゲート信号が出力される。すなわち、切り換え信号および第2のゲート信号が共にLレベルとされ、アンドゲート21~24の全てのゲートが閉じられて、この電子制御ユニット11からの全ての出力が安全側に落とされる。

【0033】したがって、この様に構成される電子制御ユニットによれば、2CPU構成の一方が異常となった場合においてリンプホーム可能なバックアップ機能が設定される。この場合、このバックアップ機能はバックアップIC等のように固定出力を得るものではないものであるため、点火タイミングや噴射タイミングの制御を確実に行うことの要求されるガソリン筒内直噴エンジンの制御等が有効に実行される。

【0034】2CPU構成の電子制御ユニットにおいて、ウォッチドック監視回路においてCPUの異常発生を監視し、異常検出に伴いCPUに対してリセットを掛けるようにした場合、CPUに対して何度もリセットを掛けてもこのCPUが正常に復帰しない場合、出力を安全側に落とす暴走検出手段が必要とされる。この場合、単に出力を安全側に落とすのみではなく、いずれのCPUがフェイルしたかを判定して、その判定結果に基づいてバックアップ制御が行われるようにする必要がある。

【0035】図3は第2の実施例を示すもので、電子制御ユニット11は第1の実施例と同様にマスタCPU12およびスレーブCPU13の2CPU構成とされる。そして、図1で示した実施例と同様の入力信号がこれらマスタCPU12およびスレーブCPU13に入力される。マスタCPU12およびスレーブCPU13では、それぞれ第1の実施例と同様に入力信号に基づく演算が実行され、これらのCPU12および13のコンペア出力は、図1の場合と同様に第1および第2の切り換えスイッチ19および20に供給されている。

【0036】そして、これら切り換えスイッチ19および20からそれぞれ出力される信号がアンドゲート23および24に供給され、アンドゲート23からは点火信号および噴射信号が、アンドゲート24からはリレー制御信号が出力される。またマスタCPU12のポート出力はアンドゲート21に供給され、スレーブCPU13のポート出力はアンドゲート22に供給されて、それぞれ燃料ポンプ制御出力およびステップモータ制御、EGRバルブ制御、LSC

その他の制御等のための信号が出力され、図示されないエンジンが電子的に制御される。

【0037】マスタCPU12から出力されるウォッチドックパルスは、第3の切り換えスイッチ31を介してウォッチドック(W/D)監視回路32に入力され、監視されている。このW/D監視回路32は暴走検出回路33によって監視されているもので、このW/D監視回路32にあっては、正常時に一定周期でオン・オフを繰り返すウォッチドックパルスを監視して、このパルスが一定期間内で反転されない状態が検出されたときには、このウォッチドックパルスを出力するCPUが異常と判定して、リセット信号が出力される。そして、このリセット信号はマスタCPU12に対してリセット指令として供給する。

【0038】暴走検出回路33にあってはW/D監視回路32からのリセット信号を監視しているもので、CPUがフェイルしてリセットが頻繁に行われたと判断すると、そのCPUがフェイルになって数回リセットしても正常に復帰しないと判断し、この暴走検出回路33からフェイル検出信号が出力されるようにする。

【0039】この暴走検出回路33からのフェイル検出信号は、ラッチ回路35および36にそれぞれクロックCLKとして入力されるもので、ラッチ回路35のD入力には接地電位が設定され、ラッチ回路35のQ出力がラッチ回路36のD入力とされる。

【0040】ラッチ回路35からは第1のフェイル信号が出力され、この第1のフェイル信号は第1の切り換え信号として第3の切り換えスイッチ31に供給される。そして、正常時には図のようなマスタCPU12からのウォッチドックパルスがW/D監視回路32に入力する状態が、第1のフェイル信号によって切り換えられることにより、スレーブCPU12からのウォッチドックパルスがW/D監視回路31に供給されるようにする。ここで、この第1の切り換え信号とされる第1のフェイル信号は、マスタCPU12が正常時にHレベルに設定され、フェイルを判定してリセット指令を出力する状態でLレベルとされる。

【0041】この第1のフェイル検出信号は、さらにスレーブCPU13にリセット指令として供給されると共に、第4の切り換えスイッチ34に切り換え指令として供給される。この切り換えスイッチ34は、通常においてはマスタCPU12からのリセット指令信号をスレーブCPU13に入力しているもので、切り換え指令によって切り換えることにより、W/D監視回路32からのリセット出力がスレーブCPU13に入力されるようにしている。そして、アンドゲート21、22、24に対してこの切り換え信号がゲート信号として供給されている。

【0042】ラッチ回路36からの出力は、マスタおよびスレーブの両CPU12および13が共に異常と判定される状態でLレベルの異常信号を出力するもので、アンドゲート23に対してゲート信号として供給する。

【0043】この様に構成される電子制御ユニット11において、一連の動作をマスタCPU12およびスレーブCPU13において行われると、この両CPU12および13の状況に応じて、次のような4つのモードに分けられる。

- (1) 正常時からマスタCPU12がフェイルする場合
- (2) 正常時からスレーブCPU13がフェイルする場合
- (3) (1)の状態からさらにスレーブCPU13がフェイルする場合
- (4) (2)の状態からさらにマスタCPU12がフェイルする場合

以下に、この4つのモードそれぞれに対応してその動作を説明する。

【0044】まず(1)のモードにおいて両CPU12および13が正常状態にある正常時にあっては、マスタCPU12からのウォッチドックパルスが正常の状態にあって、W/D監視回路32において異常が検出されていない。したがって、このW/D監視回路32からの出力であるリセット信号は正常を表すHレベルにあり、当然暴走検出回路33において暴走が検出されていないものであるため、第1ないし第4の切り換えスイッチ19、20、31、34はそれぞれ図の状態に設定されている。そして、W/D監視回路32にはマスタCPU12からのウォッチドックパルスが入力され、マスタCPU12の異常発生を監視している。

【0045】このW/D監視回路32にあっては、入力されるウォッチドックパルスが一定期間反転しない状態を検出し、この検出に対応して一旦Lレベルにした後Hレベルとするリセット信号を出力する。このリセット信号がLレベルとされることによりマスタCPU12が一旦リセットを掛けられ、このリセット信号が解除されるものであるが、このリセット動作によってマスタCPU12が正常に戻った場合は、再びこのCPU12からのウォッチドックパルスがオン・オフを繰り返し、W/D監視回路32はフェイル判定を行わずに、その出力であるリセット信号がHレベルとされて正常動作状態に復帰される。

【0046】しかし、マスタCPU12がフェイルしてしまい、W/D監視回路32からのリセット信号がHレベルに戻ってもこのマスタCPU12が正常に戻らないと、このマスタCPU12からのウォッチドックパルスが正常状態に復帰しないため、W/D監視回路32から出力されるリセット信号は、HおよびLレベルの繰り返しが続けられる。

【0047】暴走検出回路33にあっては、このW/D監視回路32からのリセット信号を監視していて、このW/D監視回路32からのリセット信号が特定される周波数以上である期間でオン・オフ(Hレベル・Lレベル)を繰り返すと、マスタCPU12がフェイルであると判定して、フェイル信号をLレベルからHレベルに反転する。実際には、この暴走検出回路33はボンピンク回路によって構成されている。

【0048】暴走検出回路33からのフェイル信号がHレベルからLレベルに反転されると、ラッチ回路35において、イニシャル状態でHレベルのQ出力がLレベルに反転する。このラッチ回路35からのQ出力は、第1の切り換え信号として用いられるようになるもので、この第1の切り換え信号はアンドゲート21、22および24のゲートを閉じて安全側に落とすようになり、さらにこの第1の切り換え信号は暴走検出回路33のリセットに用いられる。

【0049】この暴走検出回路33は、ボンピンク回路によって構成されているものであるため、1度フェイルを検出した後においては、直ちにその検出前の状態に戻して次のCPUフェイルの判定に備えなければならない。そのため、第1の切り換え信号をリセット指令として暴走検出回路33に入力し、この信号によってボンピンク回路のコンデンサの電荷を抜いて、フェイル検出信号をLレベルに設定し、切り換え指令が出されない状態とする。

【0050】第3の切り換えスイッチ31は、W/D監視回路32に供給されるウォッチドックパルスを、マスタCPU12からのものにするか、あるいはスレーブCPU13からのものにするかを切り換え選択する。この電子制御ユニット11が正常に作動している状態では、マスタCPU12からのウォッチドックパルスがW/D監視回路32に入力されるように設定されている。そして、ラッチ回路35からの第1の切り換え信号が、マスタCPU12のフェイル検出に伴いLレベルとされると図の状態から切り換えられ、スレーブCPU13からのウォッチドックパルスがW/D監視回路32に入力されて、スレーブCPU12がW/D監視回路32で監視されるようになる。

【0051】第4の切り換えスイッチ34は、スレーブCPU13に対するリセット指令がマスタCPU12から得られるようにするか、あるいはW/D監視回路32からのリセット信号にするかを切り換えている。正常時においては、スレーブCPU13はマスタCPU12によって監視されている。したがってスレーブCPU13に対するリセット信号はマスタCPU12から与えられる。そして、このマスタCPU12がフェイルと認定されて第1の切り換え信号がLレベルの状態、この第4の切り換えスイッチ34が切り換えられ、W/D監視回路32(この状態においてはスレーブCPU13からのウォッチドックパルスが入力されている)によって、スレーブCPU13に対してリセットが掛けられるようにする。

【0052】第1および第2の切り換えスイッチ19および20は、図で示す正常の状態ではマスタCPU12のコンベア出力がアンドゲート23に供給され、このマスタCPU12で演算された点火信号および噴射信号が出力される。またスレーブCPU13のコンベア出力はアンドゲート24を介して出力され、リレー制御信号等とされる。

【0053】そして、マスタCPU12がフェイルと判定

され、暴走検出回路33からのフェイル信号の供給されるラッチ回路35からの出力である第1の切り換え信号がLレベルとされると、第1および第2の切り換えスイッチ19および20が図の状態から切り換えられて、スレーブCPU13のコンペア出力が第2の切り換えスイッチ20、さらに第1の切り換えスイッチ19を介してアンドゲート23に供給され、スレーブCPU13で演算された異常時点火信号および異常時噴射信号が出力される。

【0054】次に(2)のモードの場合について説明する。スレーブCPU13からのウォッチドックパルスはマスタCPU12に入力され、正常時にスレーブCPU13がマスタCPU12において監視されている。そして、スレーブCPU13からのウォッチドックパルスが一定期間以上反転されなくなると、マスタCPU12はスレーブCPU13の異常を判定して、スレーブCPU13に対してリセットを掛ける。

【0055】その後、スレーブCPU13が正常に戻ってウォッチドックパルスが出力されるようになると、マスタCPU12はスレーブCPU13に対してリセットを掛けることができ、スレーブCPU13に正常動作状態が継続される。しかし、スレーブCPU13がフェイルしてそのリセット動作によってウォッチドックパルスが復帰されないときには、マスタCPU12がスレーブCPU12のフェイルを認知して、第2の切り換え信号をLレベルとする。このため、アンドゲート22および24のゲートが閉じられ、スレーブCPU12からの出力が安全側に落とされる。

【0056】(3)のモードの場合には、第1の段階としてマスタCPU12がフェイルしていて、ラッチ回路35からの第1の切り換え信号が異常時のLレベルとされ、第3および第4の切り換えスイッチ31および34が図の状態から切り換えられている。そして、この状態ではスレーブCPU13がW/D監視回路32および暴走検出回路33で監視されている。

【0057】この様な状態でスレーブCPU13からのウォッチドックパルスがなくなると、W/D監視回路32からのリセット信号が第4の切り換えスイッチ34を介してスレーブCPU13に供給されて、このスレーブCPU13にリセットが掛けられる。この様なリセット操作にもかかわらずスレーブCPU13の正常動作が復帰されないときには、これが暴走検出回路33で検出されて、その出力フェイル信号がHレベルに反転されて、ラッチ回路35および36にそれぞれクロックCLKが入力される。

【0058】ここで、ラッチ回路35のQ出力は、すでに第1の段階のマスタCPU12のフェイルによってLレベルとされているものであるため、ラッチ回路36においてこのLレベルがラッチされる。すなわち、このラッチ回路36のQ出力は、イニシャルの状態ではHレベルであって、マスタCPU12のフェイルが判定され、さらにその後スレーブCPU13がフェイルと判定されると、Lレベ

ルに反転される。

【0059】したがって、このラッチ回路36のQ出力は、マスタおよびスレーブの両CPU12および13が共にフェイルするとLレベルとされて、両CPU12および13が共に異常であることを示すLレベルとされ、すでに第1の切り換え信号によってゲートを閉じられているアンドゲート21、22、24と共にアンドゲート23のゲートが閉じられて安全側に設定される。すなわち、このアンドゲート23はマスタCPU12のみがフェイルの状態ではゲートが閉じられないが、両CPU12および13が共にフェイルしたときにその出力が遮断される。

【0060】最後の(4)のモードの場合には、第1の段階でスレーブCPU13がフェイルしている状態で、マスタCPU12がフェイルする。スレーブCPU13がフェイルしたときには、(2)のモードで説明したように、アンドゲート22および24はマスタCPU12からの第2の切り換え信号によって閉じられている。このマスタCPU12の監視は、第3および第4の切り換えスイッチ31および34が図の状態から切り換えられていないため、W/D監視回路32および暴走検出回路33において行われる。

【0061】したがって、この様な状態でマスタCPU12がフェイルすると、暴走検出回路33からのフェイル信号がHレベルに反転される。この場合、ラッチ回路35においてはまだラッチされていないためにそのQ出力はHレベルであるが、マスタCPU12のフェイルによって暴走検出回路33からのフェイル信号がHレベルに反転されると、ラッチ回路35のQ出力はLレベルにラッチされ、第1の切り換え信号がLレベルとされる。

【0062】この第1の切り換え信号がLレベルとされると、第3および第4の切り換えスイッチ31および34が図の状態から切り換えられ、W/D監視回路32および暴走検出回路33はスレーブCPU13を監視するように切り換えられるが、このモードの状態ではスレーブCPU13がすでにフェイルであるため、暴走検出回路33からすぐに再フェイル信号が出力される。したがって、ラッチ回路36からのQ出力がLレベルにラッチされ、両CPU異常信号が発生されて、第1の切り換え信号でゲートの閉じられたアンドゲート21、22、24と共に、アンドゲート23のゲートが閉じられて、安全側に設定される。

【0063】以上説明したように、マスタCPU12がフェイルしたときには第1の切り換え信号が出力され、スレーブCPU13がフェイルしたときには第2の切り換え信号が出力され、さらに両CPU12および13が共にフェイルしたときには、両CPU異常信号が出力される。したがって、W/D監視回路32および暴走検出回路33の1つの回路要素によって、マスタおよびスレーブの両CPU12、13の監視、さらにいずれのCPUがフェイルしたかの判定が可能とされる。

【0064】この様に構成される電子制御ユニット11を、例えばガソリン筒内直噴エンジンに制御装置として

使用した場合、アンドゲート23には最も冗長性がない出力が割り当てられるもので、具体的には点火信号および噴射信号が割り当てられる。ガソリン筒内直噴エンジンの場合、フェイル時においてもポート噴射のような固定噴射や固定点火タイミングではエンジンが始動できない。このため、常にCPUからの制御が必要とされる。

【0065】アンドゲート21、22、24からの出力は、制御プログラムの負荷の具合等に基づいて割り当てられるもので、具体的には図でも示すようにステップモータの制御や燃料ポンプの制御、さらにEGRバルブやISCバルブ、その他のリレー等の制御信号に割り当てる。

【0066】図4はマスタCPU12のプログラム制御による処理の流れを示す。まずステップ301でスレーブCPU13が正常動作状態にあると判定されたときは、ステップ302に進んでマスタCPU12において正常時の燃料ポンプ制御を実行する。さらに、ステップ303に進んで正常時の噴射信号の処理を行い、ステップ304に進んで点火信号の処理を行い、ステップ305に進んでその他の信号処理を行う正常時の演算処理が実行されるようにする。そして、ステップ306ではこのマスタCPU12の正常動作を確認するウォッチドックパルスを出力する。

【0067】ステップ301でスレーブCPU13がフェイルしていると判定されたときは、ステップ307に進んで第2の切り換え信号を出力するものであり、その後ステップ308～310に順次進んで、マスタCPU12においてスレーブCPU13の異常時に対応する噴射信号処理、点火信号処理、さらにその他の信号の処理を行う制御を実行する。そして、ステップ311でこのマスタCPU12の正常動作を確認させるウォッチドックパルスを出力する。

【0068】このステップ308～310における異常時の処理は、正常時の処理を行うステップ302～305の処理とは異なり、異常時のプログラムによって実行される。この異常時のプログラムはリンプホームが行える程度の噴射信号および点火信号が出力されるようにするもので、容量的にも正常時のプログラムに比べて小さく、また制御も機能ダウンされたものとされる。

【0069】図5はスレーブCPU13における処理の流れを示すもので、ステップ321において第1の切り換え信号を監視する。そして、マスタCPU12が正常に動作していて第1の切り換え信号がHレベルと判定されたときは、ステップ322以降に進んで正常時の処理が実行されるようにする。すなわち、ステップ322ではスレーブCPU13における正常時のステップモータの制御を実行し、ステップ323ではEGRバルブの制御を、ステップ324ではISCバルブの制御を、さらにステップ325ではリレー制御をそれぞれ実行する。そして、ステップ326でこのスレーブCPU13の正常状態を確認するウォッチドックパルスを出力する。

【0070】ステップ231において、マスタCPU12が

フェイルであって第1の切り換え信号がLレベルであると判定されたならば、ステップ327に進む。このマスタCPU12がフェイルの状態では、正常動作に伴う噴射信号および点火信号が出力されないようになっているものであるため、異常時プログラムを実行する。

【0071】すなわち、異常時プログラムにしたがって、スレーブCPU13においてステップ327～329において異常時処理が実行されるもので、ステップ327においては噴射信号処理が、ステップ328においては点火信号処理が、さらにステップ329においてはリレー制御がそれぞれ実行される。そして、スレーブCPU12のコンベア出力によってリンプホーム可能な程度のエンジン制御を実行する。ステップ330では、このスレーブCPU13が正常に動作されていることを示すウォッチドックパルスを出し、ステップ327に戻る。

【0072】

【発明の効果】以上のようにこの発明に係る電子制御装置によれば、特に2CPUを使用するようなマルチCPU構成とした場合に、メインCPUとスレーブCPUの異常検出に際して、CPUの異常検出回路をCPU毎に設けることなく、この電子制御装置を構成する複数のCPUの異常が検出される。すなわち、電子制御装置をマルチCPU構成とした場合において、各CPUの異常の監視が1つの異常監視回路および1つのCPUによって行われるようになり、充分簡易化した部品構成が実現できて信頼性も確実に確保され、2CPUの一方がフェイルしたような場合においても、特に処理系を2重にして用意することなく必要最小限の制御動作が継続して実行される。例えば、この電子制御装置によってエンジン制御を行う場合、特に重要な信号である点火制御および噴射制御等の処理が残った正常なCPUを用いて行われて、リンプホームが可能とされるようにしたエンジン制御機能が確保される。

【図面の簡単な説明】

【図1】この発明の一実施例に係る電子制御装置を構成する電子制御ユニットを説明するための構成図。

【図2】(A)および(B)はそれぞれ上記電子制御ユニットを構成するマスタCPUおよびスレーブCPUの制御の流れを説明するフローチャート。

【図3】この発明の第2の実施例を説明するための構成図。

【図4】この第2の実施例のマスタCPUにおける制御の流れを説明するフローチャート。

【図5】前記第2の実施例のスレーブCPUにおける制御の流れを説明するフローチャート。

【図6】第1の発明の概要を説明するための構成図。

【図7】第2の発明の概要を説明するための構成図。

【図8】第3の発明の概要を説明するための構成図。

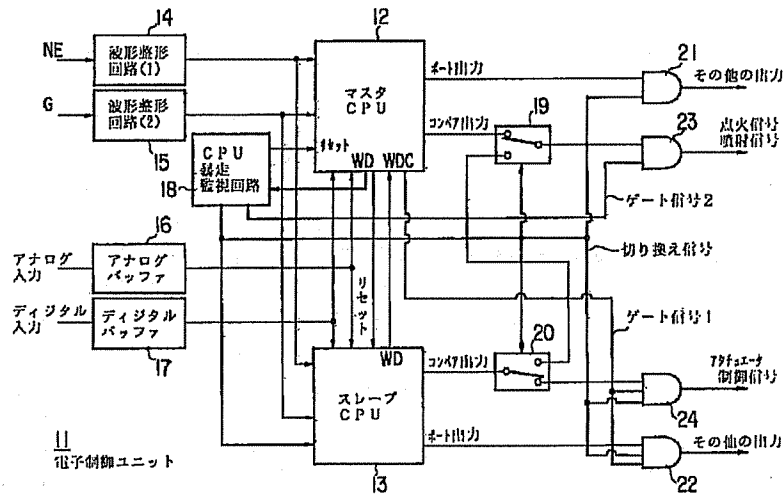
【符号の説明】

11…電子制御ユニット、12…マスタCPU、13…スレー

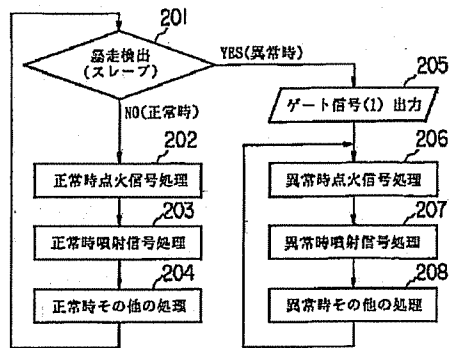
ブCPU、18…CPU暴走監視回路、19、20、31、34…
切り換えスイッチ、21~24…アンドゲート、32…W/D

監視回路、33…暴走検出回路、35、36…ラッチ回路。

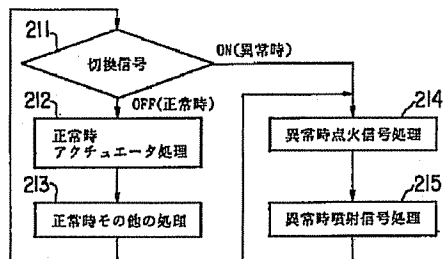
【図1】



【図2】

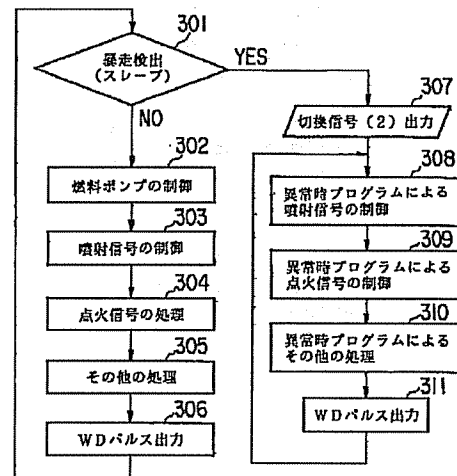


(A)

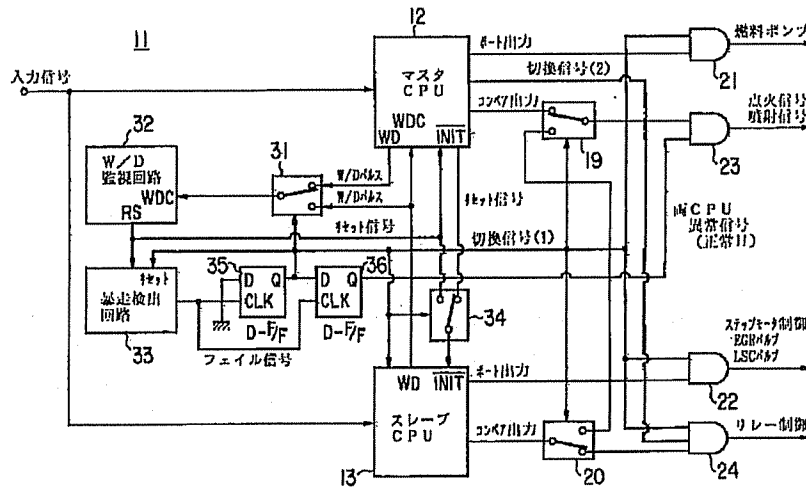


(B)

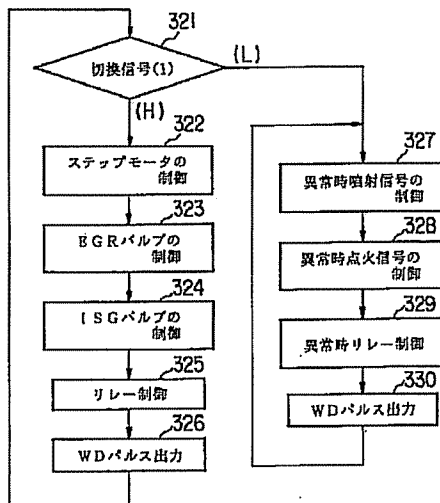
【図4】



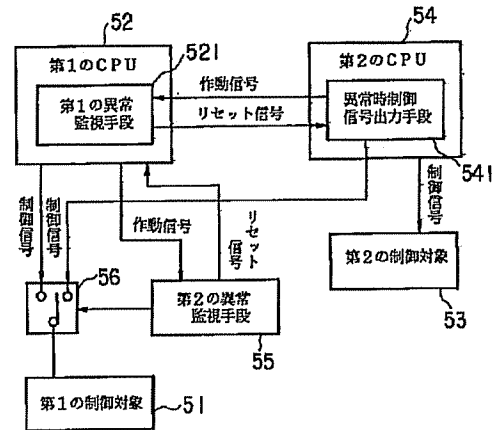
【図3】



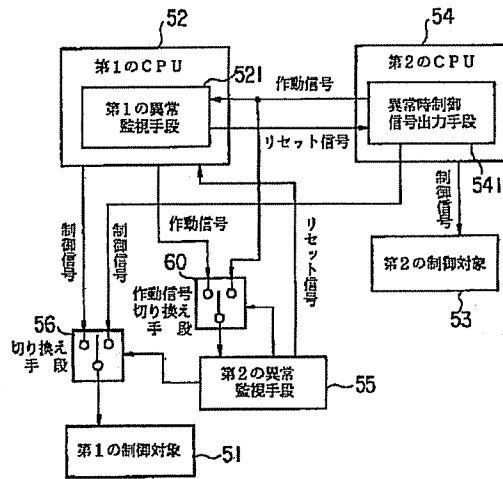
【図5】



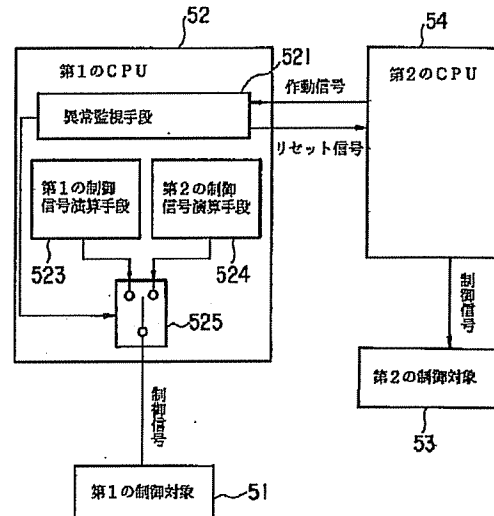
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁶
G 0 5 B 9/02

識別記号 庁内整理番号
A

FI

技術表示箇所